

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-42938

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月13日

H 01 L 21/336
29/784

8422-4M H 01 L 29/78

3 0 1 L

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-147400

⑰ 出 願 平2(1990)6月7日

⑱ 発 明 者 多 田 吉 秀 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

⑲ 出 願 人 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号

⑳ 代 理 人 弁理士 杉村 暁秀 外5名

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1. 一導電型の半導体基体の表面に、ゲート絶縁膜を介してポリシリコンより成るゲート電極を形成する工程と、

このゲート電極の上にタングステン、チタンなどの高融点金属膜を形成した後、加熱処理を行ってゲート電極表面にメタルシリサイド膜を形成する工程と、

このメタルシリサイド膜およびゲート電極をマスクとして反対導電型の不純物を半導体基体に注入する工程と、

この半導体基体に対して酸素雰囲気中または不活性ガスで希釈した酸素雰囲気中で高温熱処理を施してここに注入された不純物を酸化増速拡散によりゲート電極の下側に、少なくとも0.05 μ mのオーバーラップ量が得られるように拡散させて低不純物濃度の拡散層を形成する工程と、

前記ゲート電極の側面にイオン注入に対するマスク作用を有するサイドウォールを形成する工程と、

前記メタルシリサイド膜、ゲート電極およびサイドウォールをマスクとして反対導電型の不純物を高濃度で注入し、拡散させてソースおよびドレインを形成する工程とを具えることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法、特にドレインを低不純物濃度の領域と高不純物濃度の領域とで構成したLDD構造のMOSFETの製造方法に関するものである。

(従来の技術)

従来、微細構造を有するMOSFETにおいては、ホットキャリア効果を抑える等の目的から、ソース/ドレイン拡散層とチャネル領域との間に低不純物濃度の拡散層(n⁺層、p⁺層)を挟んだLDD構造(Lightly Doped Drain)が一般に広く採用

されている。このようなLDD構造を有するMOSFETでは、この低不純物濃度の拡散層は低濃度故に十分な不純物拡散が行われず、したがって横方向拡散も少ないため、ゲート電極の下側まで十分に延在していない。したがって、 n^+ 層とゲート電極とは十分オーバーラップしていない。最近に到り、短チャネル化に伴ってチャネル抵抗が低下する傾向に従い、寄生抵抗が無視できなくなってきた。ゲート電極と n^+ 層とのオーバーラップ量が少なすぎると、ホットキャリア耐性が低下するとともにトランジスタの寄生抵抗の増加を招き、電流駆動能力が低下する欠点が生じてきた。さらに、ゲート電極を構成するポリシリコンの後酸化処理によりゲート電極側壁が酸化されるため、ゲート電極と n^+ 層とのオーバーラップは益々確保しにくい状況にある。このような欠点を除去し、ホットキャリア耐性を向上するとともに寄生抵抗の発生を抑えて電流駆動能力を向上するために、ゲート電極と n^+ 層のような低不純物濃度の拡散層とを意図的にオーバーラップさせたゲート/ n^+ オー

バーラップLDD構造が提案されるようになり、例えば、1988年12月に発行されたIEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 35, NO.12, PP.2088~2093等に記載されている。

(発明が解決しようとする課題)

上述したIEEE TRANSACTIONS ON ELECTRON DEVICESに記載されているGate-Drain Overlapped Device (GOLD)においては、ポリシリコン膜の上に酸化膜を形成した後、ポリシリコン膜をアンダーエッチングして裾の長い台形のゲート電極を形成し、次に燐をイオン注入して n^+ 層をゲート電極の裾の部分の下側まで延在するように形成してオーバーラップを得るようにし、その後ゲート電極および酸化膜の側面にサイドウォールを形成して砒素を高濃度にイオン注入して n^+ 層を形成するようにしている。このような方法は工程が複雑になり、コストアップにつながる上、寸法、形状の制御も難しくなるという欠点を有している。

最近では、ホットキャリア耐性の一層の向上を図るために低濃度層のイオン注入は益々高エネル

ギーで深く打ち込む傾向にあるから、オーバーラップの問題は益々重大となって来ている。また、注入したイオンを拡散させる加熱処理中に、ゲート電極を構成するポリシリコンも酸化されるが、ポリシリコンの酸化速度は速いのでゲート電極(導電層部分が細り、 n^+ 層とゲート電極とのオーバーラップ量は益々小さくなる傾向がある。

本発明の目的は、上述した従来の欠点を除去し、LDD構造のMOSFETにおいて、低濃度のドレイン層とゲート電極とのオーバーラップを十分に行うことができ、しかも工程が簡単で歩留りの高い半導体装置の製造方法を提供しようとするものである。(課題を解決するための手段および作用)

本発明による半導体装置の製造方法は、

一導電型の半導体基体の表面に、ゲート絶縁膜を介してポリシリコンより成るゲート電極を形成する工程と、

このゲート電極の上にタングステン、チタンなどの高融点金属膜を形成した後、加熱処理を行ってゲート電極表面にメタルシリサイド膜を形成す

る工程と、

このメタルシリサイド膜およびゲート電極をマスクとして反対導電型の不純物を半導体基体に注入する工程と、

この半導体基体に対して酸素雰囲気中または不活性ガスで希釈した酸素雰囲気中で高温熱処理を施してここに注入された不純物を酸化増速拡散によりゲート電極の下側に、少なくとも $0.05\mu m$ のオーバーラップ量が得られるように拡散させて低不純物濃度の拡散層を形成する工程と、

前記ゲート電極の側面にイオン注入に対するマスク作用を有するサイドウォールを形成する工程と、

前記メタルシリサイド膜、ゲート電極およびサイドウォールをマスクとして反対導電型の不純物を高濃度で注入し、拡散させてソースおよびドレインを形成する工程とを具えることを特徴とするものである。

このような本発明の方法では、低不純物濃度の拡散層を形成するためのイオン注入を行った後、

酸素雰囲気または不活性ガスで希釈した酸素雰囲気中で高温熱処理を行うことによって、酸化増速拡散が行われ、不純物は通常の拡散の場合に比べて4～5倍も高い拡散係数を以て拡散することとなり、ゲート電極の下側深くまで拡散することとなり、ゲート電極とのオーバーラップ量を大きくとることができる。また、イオン注入および酸化増速拡散を行う以前に、ゲート電極の表面を耐酸化膜として作用するメタルシリサイドで覆うため、酸化増速拡散処理中にゲート電極表面が酸化されて肥大したり、電極部分が細ることがなく、したがってゲート電極と低不純物濃度層とのオーバーラップ量が減少するようなことはない。

(実施例)

第1図は本発明による半導体装置の製造方法の一実施例の順次の工程における半導体装置の構成を示すものである。まず、第1図Aに示すように、P型のシリコン半導体基板1の表面にゲート絶縁膜を構成するシリコン酸化膜2を、200Åの厚さに一様に形成した後、CVD法によりポリシリコ

ン膜を4000Åの厚さに堆積し、フォトリソングによりパターンニング、加工してゲート電極3を形成する。さらに第1図Bに示すように、ゲート電極の表面にタングステン、チタン等の高融点金属の膜、本例ではチタン膜4を堆積する。次に、第1図Cに示すように、800～850℃で熱処理を行ってチタン膜4とゲート電極3のポリシリコンとを反応させてチタンシリサイド膜5を形成し、さらに残存チタン膜および拡散層上のシリコン酸化膜2をエッチングにより除去した後、酸化処理を施してシリコン基板1の表面に厚さ100Åの薄いシリコン酸化膜7を形成する。続いて第1図Dに示すように、ゲート電極3およびチタンシリサイド膜5をマスクとして燐イオンを70KeVのエネルギーでイオン注入する。このときの燐イオン濃度は 2×10^{13} 原子/cm²程度となるようにする。次に、酸素雰囲気中または希釈酸素雰囲気中のアニールにより注入した燐イオンを酸化増速拡散させて第1図Eに示すように、n⁺層8および9を形成する。本例では、このアニールは、酸素中に

窒素またはアルゴンのような不活性ガスを分圧比で50%含ませた希釈酸素雰囲気中において半導体基板1を900℃の温度で1時間程度熱処理して行う。この酸化増速拡散は、酸素雰囲気中で行うこともでき、この場合には900～950℃の温度で数十分程度熱処理すればよい。このような酸化増速拡散によって燐イオンの拡散係数は通常の非酸化雰囲気中の熱拡散の場合に比べて4～5倍も大きくなり、したがってゲート電極3の下側にも十分な深さまで拡散することになる。この場合、n⁺層8および9は0.05μm以上の距離に亘ってゲート電極とオーバーラップするようにすれば十分である。この際、拡散層上には数百Åのシリコン酸化膜10が形成されるが、ポリシリコンより成るゲート電極3の表面にはチタンシリサイド膜5が形成されているのでゲート電極は酸化されず、したがってゲート電極6とn⁺層8および9とのオーバーラップ量が減少するようなことはない。

次に、第1図Fに示すように、チタンシリサイド膜5で覆われたゲート電極4の側面に、例えば

シリコン酸化膜より成るサイドウォール11を形成し、このサイドウォールをマスクとして砒素イオンを注入し、通常の熱処理を施して、n⁺層8および9と連続するn⁺層より成るソース12およびドレイン13を形成する。その後の処理は通常のMOSFETを形成する場合と同様であるので、詳細な説明は省略する。

上述したように、本発明においては酸化増速拡散によって燐イオンをゲート電極4の下側まで深く拡散させて低不純物濃度拡散層を形成するものであるが、この拡散係数は、例えばプロセスシミュレータSUPREM(Stanford University Process Engineering Model)においては次のように与えられる。

$$D = D_0 \times (1 + 0.01 \text{ ed. fact}) \quad \dots (1)$$

ここで、D₀は酸化増速拡散のないときの拡散係数、0.01 ed. factは酸化増速に関係した係数である。0.01 ed. factは次式(2)で与えられ、酸化速度の0.5乗に比例した値を有するため、非酸化雰囲気中ではきわめて小さな値をとるが、酸化雰囲気中では

大きな値をとる。

$$\begin{aligned} \text{Oed.fact} &= [\text{FII}.0 \times \exp(-\text{FII}.E/(kT)) \\ &\quad \times (\text{OED}.KO \times \exp(-\text{OED}.KE/(kT)) \\ &\quad \times dX_{\max}/dt) \text{ OED.RATE}] \quad \dots (2) \end{aligned}$$

ここで、シリコン基板1として面方位(100)のものを、ドライ酸素雰囲気中で熱処理を行って砒素イオンを拡散させる場合には以下のような数値を採用することができる。

$$\text{FII}.0 = 5.50$$

$$\text{FII}.E = 0.57 \text{ eV}$$

$$\text{OED}.KO = 2.86 \times 10^{-16} \text{ min}/\mu\text{m}$$

$$\text{OED}.KE = -5.64 \text{ eV}$$

$$dX_{\max}/dt = \sim 1 \times 10$$

$$\text{OED}.RATE = 0.5$$

$$k = 8.36 \times 10^{-5} \text{ eV/K}$$

$$T = 1173 \text{ K}$$

これらの数値を使って拡散係数を900℃および950℃のドライ酸化雰囲気中について計算した結果を次表に示す。

温 度	拡 散 係 数 (cm^2/sec)		
	ドライ酸素中	不活性ガス中	倍率
900℃	7×10^{-18}	1.4×10^{-18}	約5倍
950℃	約 2×10^{-18}	約 5×10^{-19}	約4倍

この結果からわかるように、酸化増速拡散においては、通常の拡散の場合に比べて拡散係数は4～5倍となり、砒イオンはゲート電極の下側まで拡散し十分大きなオーバーラップ量を得られることがわかる。

(発明の効果)

上述したように、本発明による半導体装置の製造方法によれば、LDD構造の低不純物濃度層を得るためのイオン注入を、ゲート電極をマスクとして行った後、必要があれば最低限度の回復酸化を行い、次に酸素雰囲気中または不活性ガスで希釈した酸素雰囲気中で高温熱処理を行い、回復酸化と同時に酸化増速拡散によりイオンをゲート電極の下側深くまで拡散させて低不純物濃度層を形成することができる。さらに、この酸化増速拡散処

理に先立ってポリシリコンのゲート電極をメタルシリサイドで覆うため、酸化増速拡散処理中にゲート電極が細ることがないので、ゲートドレイン間のオーバーラップが減少してしまうこともない。このようにして、ゲートドレイン間のオーバーラップを $0.05 \mu\text{m}$ 以上取ることができ、ホットキャリア耐性を向上することができるとともに寄生抵抗の低減による電流駆動能力の向上を図ることができる。また、オーバーラップ量を大きくするために特別な層を設けたりイオン注入を斜めから行うようなことは必要ないから、製造工程が複雑になったりすることがないため歩留りが向上し、信頼性も向上することになる。

4. 図面の簡単な説明

第1図A～Gは、本発明による半導体装置の製造方法の一実施例の順次の工程を示す線図的断面図である。

1…シリコン半導体基板

2…シリコン酸化膜 3…ゲート電極

4…チタン膜 5…チタンシリサイド

6…ゲート酸化膜 8, 9… n^+ 層
10…シリコン酸化膜 11…サイドウォール
12…ソース 12…ドレイン

特許出願人 川崎製鉄株式会社

代理人弁理士 杉 村 曉 秀

同 弁 理 士 杉 村 興 作

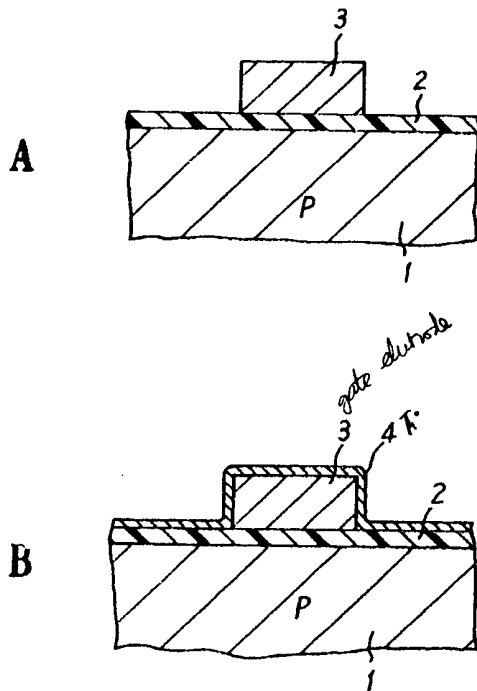
同 弁 理 士 佐 藤 安 徳

同 弁 理 士 富 田 典

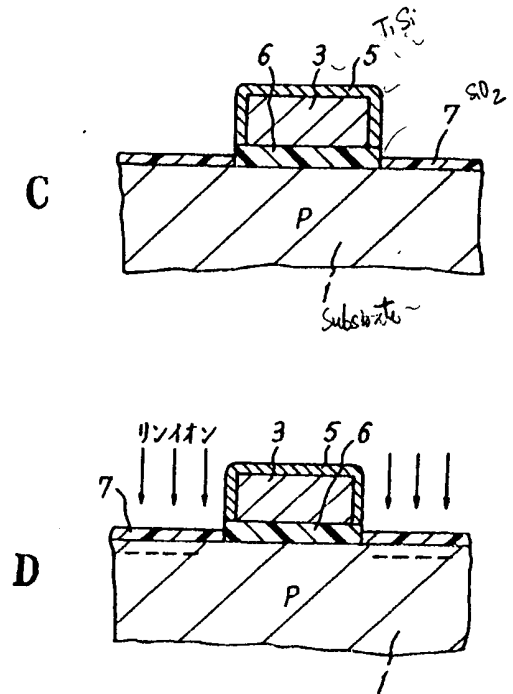
同 弁 理 士 梅 本 政 夫

同 弁 理 士 仁 平 孝

第 1 図



第 1 図



第 1 図

